

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-199883

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

H01L 21/3205

H01L 27/108

H01L 21/8242

(21)Application number : 09-302561

(71)Applicant : LG SEMICON CO LTD

(22)Date of filing : 05.11.1997

(72)Inventor : YANG YONG-JOON

(30)Priority

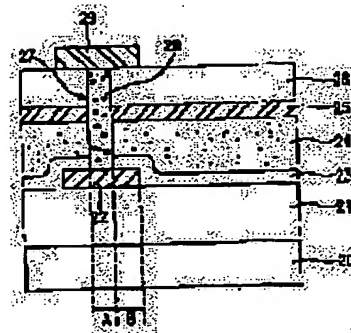
Priority number : 96 9673476 Priority date : 27.12.1996 Priority country : KR

### (54) GUARD RING FOR SEMICONDUCTOR ELEMENT AND FORMATION THEREFOR

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To easily form a guard ring which can protect an integrated circuit from the infiltration of water and to improve the degrees of freedom on the forming position of the guard ring by forming the guard ring by metal reaching a BPSG layer from a TEOS layer at a part where a bit line is positioned.

**SOLUTION:** A first insulating film 21 is formed on a semiconductor substrate 20, a formed bit line contact hole is filled, and the bit line 22 is formed on the first insulating film 21, so that it is brought into contact with the hole. Then, a second insulating film 23 is formed on the whole face of the first insulating film 21 and the BPSG layer 24 is formed on the whole face of the second insulating film 23. Then, a TEOS layer 25 and a third insulating film 26 are sequentially formed on the whole face of the BPSG layer 24, and a third insulating film 26, the TEOS layer 25, the BPSG layer 24 and the second insulating film 23 are selectively patterned, so that a prescribed area on the bit line 22 is exposed to form a via hole 27. Then, the metallic layer guard ring 28 is formed in the via hole 27.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-199883

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/3205  
27/108  
21/8242

識別記号

F I

H 0 1 L 21/88  
27/10

S

6 8 1 Z

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21) 出願番号 特願平9-302561  
(22) 出願日 平成9年(1997)11月5日  
(31) 優先権主張番号 7 3 4 7 6 / 1 9 9 6  
(32) 優先日 1996年12月27日  
(33) 優先権主張国 韓国 (K R)

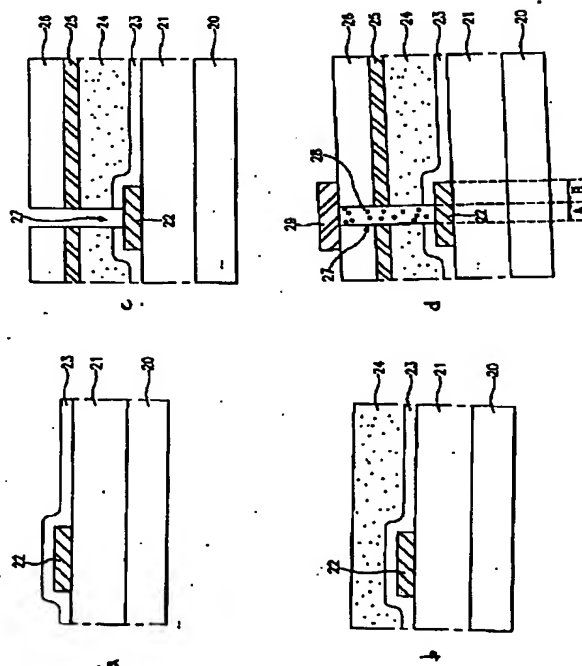
(71) 出願人 591044131  
エルジイ・セミコン・カンパニー・リミテ  
ッド  
大韓民国 チュングチェオンブグド チ  
ェオンジュシ・ヒュンダクーク・ヒャン  
ギェオンードン・1  
(72) 発明者 ヨン・ズン・ヤン・  
大韓民国・チュンチョンブグド・チョン  
ズシ・フンドクーク・ヒャンジョンード  
ン・50・エルジイ バンドチョイ ナムザ  
ギスクサ ビー-910  
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 半導体素子のガードリング並びにその形成方法

(57) 【要約】

【課題】 半導体素子の集積度を向上させることができ  
る半導体素子のガードリング構造並びにその形成方法を  
提供する。

【解決手段】 半導体素子のビットラインを保護するガ  
ードリング構造は、ビットラインの上に形成させたBP  
SG層とTEOS層とに、ビットラインの位置する箇所  
でTEOS層からBP SG層に間で達する金属によるガ  
ードリングを形成させる。また、同じことはビットライ  
ンの内部分でも同様にBP SG層とTEOS層とにそれ  
らの間を通るようにガードリングを形成する。



## 【特許請求の範囲】

【請求項1】 基板上へ絶縁膜等の構造物を形成する段階と、

前記構造物上に平坦化膜と絶縁化膜を形成する段階と、  
前記平坦化膜及び絶縁化膜にビアホールを形成する段階と、

湿気の浸入を阻止するように前記ビアホールに金属を充填する段階と、

前記ビアホールに充填した金属の表面部を覆うように金属層を形成させる段階とを有することを特徴とする半導体素子のガードリング形成方法。

【請求項2】 前記平坦化膜及び絶縁化膜を形成する段階は、前記構造物上に信号ラインを形成し、その信号ライン上に絶縁層を形成する段階と、その絶縁層上に平坦化層を形成する段階とを有することを特徴とする請求項1に記載の半導体素子のガードリング形成方法。

【請求項3】 前記ビアホールは前記平坦化膜及び絶縁化膜の下方にまで延長されないように形成することを特徴とする請求項1に記載の半導体素子のガードリング形成方法。

【請求項4】 絶縁膜、その上のBPSG層、その上のTEOS層を備えた集積回路を有する半導体素子において、前記TEOS層からBPSG層に達するトレンチを有し、その中にBPSG層と前記TEOS層との界面への湿気の浸透を遮断するに十分な深さに金属を充填し、その表面を金属層で覆った形状のガードリングを有することを特徴とする半導体素子のガードリングの構造。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体素子のガードリングの構造並びにガードリングの形成方法に関し、特に半導体チップ（集積回路）や金属パターンなどの特定のパターンを水分から保護し、集積度を向上させることができる半導体素子のガードリングの構造並びにガードリングの形成方法に関する。

## 【0002】

【従来の技術】半導体素子中のガードリングは、半導体チップや特定パターンの保護を目的として半導体チップ又は特定パターンを囲むように形成、或いは必要な部分に部分的に形成する技術である。半導体素子の動作を安定させるのに重要な技術である。例えば、半導体チップを形成させるとき、チップ内に水分が入り込むと、金属配線を腐食させたり、水分によって素子の特性が変化したりして、信頼性のある半導体素子を形成することができない。そのため、半導体素子内への水分の浸透を防止するためのガードリングの形成は必須の構成要素であると言える。

【0003】一般に、チップ及び特定パターンへの水分の浸入を防止するために形成するガードリングは、半導体素子に対する製造工程中にビットラインコンタクトホ

ールを形成してその部分にガードリング形成物質を堆積することである。又はビットラインコンタクトホールに代えてノードコンタクトホール、メタルコンタクトホール、そしてビアコンタクトホール等を形成した後にそれらのコンタクトホール内にガードリング形成物質を堆積して水分の浸入を防止する。さらには、上記のようなコンタクトホールの周辺にダミーコンタクトホールを形成した後、ダミーコンタクトホール内にガードリング形成物質を形成して水分に対する保護を行う。

【0004】以下、このような従来の半導体素子のガードリング形成方法を添付図面に基づき説明する。図1、2は、従来の半導体素子のガードリング形成方法を示す断面図である。まず、図1aに示すように、半導体基板1上に第1絶縁膜2を形成した後、選択的にパターンニング（フォトリソグラフィ工程+エッチング工程）してビットラインコンタクトホール（図示せず）を形成した後、そのビットラインコンタクトホールに充填させながら第1絶縁膜2の上にビットライン3を形成する。その後、ビットライン3を形成させた第1絶縁膜2の全面に第2絶縁膜4を形成する。この第2絶縁膜4は、ビットライン3を絶縁し、かつ保護するために形成する絶縁膜である。

【0005】図1bに示すように、第2絶縁膜4の全面にBPSG(Boron Phosphorus Silicate Glass)層5を形成する。このBPSG層5はビットライン3形成工程後の平坦化のためである。集積回路の集積度の向上に伴い、交差配線を含む多層配線を形成するようになり、各層の間の段差が多くなり、段差の問題の解決のために平坦性に優れた絶縁膜を堆積させて平坦性を確保しなければならなかった。平坦性に優れた絶縁膜中の1つがBPSGである。このBPSG層5は、リン(P)の濃度が高いほど、各層の間の平坦化のためのリフロー温度が低下し平坦化には好ましいが、BPSG層5自体の吸湿性が増加することが知られている。すなわち、P成分は耐水性を弱体化させる物質である。上記BPSG層5を形成させて表面を平坦とした後、ビットライン3の側面のBPSG層5、第2絶縁膜4、第1絶縁膜2を半導体基板1が露出されるまで選択的に除去してダミーコンタクトホール6を形成する。そのダミーコンタクトホール6内にチップ及び特定パターンを水分から保護するためのガードリングとしての第1タングステンガードリング7を形成する。すなわち、ビットライン3の側面にガードリングを形成する。

【0006】図1cに示すように、第1タングステンガードリング7を含めたBPSG層5の全面に金属層を形成した後、第1タングステンガードリング7の上とその周辺部に残り、第1タングステンガードリングの表面を覆うように金属層をパターンニングして第1ダミー金属パターン8を形成する。その後、第1ダミー金属パターン8を含めたBPSG層5の全面にTEOS(Tetra-Ethyl

10

20

30

40

50

-OrthoSilicate)層9を形成する。このTEOS層9は、湿気及び外部酸素の吸入防止に優れた物質である。そして、上記のような第1ダミー金属パターン8やTEOS層9は、半導体素子の不良チップの修理工程時に冗長回路を利用するとき、その界面が隔離し易い。

【0007】ここで、冗長回路について簡略に説明する。半導体素子の製造工程の技術が発達するに従って、不良チップがあってもそのチップ当たりの欠陥は1箇所程度である場合が多くなった。冗長回路は、そのような不良チップの欠陥を解決するための方法で、特に規則性の高いデバイスにおいて有用な回路である。すなわち、予備の行又は予備の列を用意しておき、所定のプログラミング回路の動作時に適正に動作しない行又は列を交換するために用意している回路である。不良行又は不良列の配線などをレーザを用いて断線させた後、冗長回路の余分の行又は余分の列をそれに代えて不良部分を修復する。この不良行又は不良列の配線を断線させるための修理工程時にレーザを用いる。このとき、BP SGのような平坦層形成物質とTEOSのような絶縁膜とが接していると、断線時のストレスによりその界面が剥離して隙間が生じることがある。その剥離した界面を通して外部の水分が浸入したり、BP SGに含有された水分などがその界面へ流れたりする。それにより半導体素子の特性を劣化させるので、水分浸透防止の目的でタングステン7を水分に対するガードリングとして形成する。

【0008】図3dに示すように、TEOS層9の全面に第3絶縁膜10を形成した後、第1ダミー金属パターン8の上のTEOS層9及び第3絶縁膜10を選択的に除去してダミービアホール11を形成する。図3eに示すように、ダミービアホール11内にガードリングとして利用するための第2タングステンガードリング12を形成する。その後、第2タングステンガードリング12を含めた第3絶縁膜10の全面に金属層を形成した後、第2タングステンガードリング12を覆い、その周辺にのみ残るように選択的にパターニングして第2ダミー金属パターン13を形成することでガードリング形成工程を完了する。この第1、第2タングステンガードリング7、12を用いたガードリング形成工程は、必要に応じてノードコンタクト工程後に施す場合もある。この種の従来の半導体素子のガードリングの形成方法においては、ガードリングを形成するために図3eに示すようにビットライン3からA+B+C+Dの距離が最小側面寸法となる。

【0009】

【発明が解決しようとする課題】従来の半導体素子のガードリングの構造並びにガードリング形成方法においては、半導体チップ及び特定パターンを保護可能なガードリングを、ビットラインコンタクト、ノードコンタクト、メタルコンタクト、そしてビアコンタクト工程などの工程を進めながらガードリング形成のためのダミーコ

ンタクト工程を行うため、工程マージンの不足、ガードリングスペースの不足などの問題があり、またそれに伴う頻繁なレイアウトの変更が発生する。そのため、高集積半導体素子に適しなくなるという問題点があった。本発明は、上記の従来の半導体素子のガードリング形成方法の問題点を解決するためのもので、半導体素子の集積度を向上させることができる半導体素子のガードリング構造並びにその形成方法を提供することを目的とする。また、集積回路を水分の浸入から保護することができるガードリングを容易に形成して、ガードリングの形成位置の自由度を高めた半導体素子のガードリング並びにその形成方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の半導体素子のビットラインを保護するガードリング構造は、ビットラインの上に形成させたBP SG層とTEOS層とに、ビットラインの位置する箇所でTEOS層からBP SG層に間を達する金属によるガードリングを形成させる。また、同じことはビットラインの内部分でも同様にBP SG層とTEOS層とにそれらの間を通るようにガードリングを形成する。

【0011】

【発明の実施の形態】以下、本発明実施形態の半導体素子のガードリング構造並びにその形成方法を添付図面に基づき説明する。図3は、本発明の第1実施形態の半導体素子のガードリングの形成方法を示す断面図である。まず、図3aに示すように、半導体基板20上に第1絶縁膜21を形成した後、選択的にパターニング（フォトリソグラフィ工程+エッチング工程）してビットラインコンタクトホール（図示せず）を形成した後、そのビットラインコンタクトホールを充填するとともにそれに接触するように第1絶縁膜21上に信号ラインの一つであるビットライン22を形成する。そのビットライン22を形成させた第1絶縁膜21の全面に第2絶縁膜23を形成する。この第2絶縁膜23は、ビットライン22を絶縁し、かつ保護するために形成する絶縁膜である。

【0012】図3bに示すように、第2絶縁膜23の全面にBP SG層24を形成する。前述のようにこのBP SG層24は、ビットライン22形成工程後の平坦化のためのものである。図3cに示すように、BP SG層24の全面にTEOS層25と第3絶縁膜26を順次に形成した後、ビットライン22の上の所定領域が露出されるように第3絶縁膜26、TEOS層25、BP SG層24、そして第2絶縁膜23を選択的にパターニングしてビアホール27を形成する。このビアホール27は、BP SG層24の下側の面まで、すなわち第2絶縁膜23の表面までとしてもよい。なぜならば、比較的にストレスに弱いのはBP SG層24とTEOS層25との界面で、その部分がストレスにより剥離して隙間が生ずるからである。すなわち、その剥離によって生じた隙間を

通る水分の流れを防止さえすればよいので、ビアホール27はBPSG層を通しさえすれば十分である。

【0013】図3dに示すように、ビアホール27内に金属層ガードリング28を形成する。その後、金属層ガードリング28を含めた第3絶縁膜26の全面に金属層を形成した後、金属層ガードリング28の両側にまで広がってガードリング28を覆うように選択的にパターンニング（フォトリソグラフィ工程+エッチング工程）してダミー金属パターン29を形成してガードリング形成工程を完了する。このとき、ビアホール27に金属層ガードリング27が完全に充填されなくても、ホールに対する金属層の堆積工程でホールの内部の下層面及び側面の表面に沿って金属層が形成されるため、特に問題とはいえない。金属層ガードリング28は、タングステンW、チタンTi、TiN、これらの合金例えばTi/TiN、Ti/TiN/Wのうちいずれか1つで形成する。

【0014】従来の半導体素子のガードリングと本実施形態のガードリングとを比較すると、特に集積度の向上の面において本実施形態のガードリングは無駄な側面空間を減少させるのに効果的であることが明らかである。すなわち、図2eに示すような従来のガードリングは、A+B+C+Dの距離で最小側面寸法を必要とするが、図3dに示すような本実施形態のガードリングの最小側面寸法はA+Eしか必要としない。上記のような本実施形態ガードリングはその側面構造において従来のガードリングよりも50%程度小さくすることができる。

【0015】図4は、本発明の第2実施形態の半導体素子のガードリングの構造断面図である。本発明の第2実施形態の半導体素子は第1実施形態の半導体素子のガードリングと同様の構造を有している。ビットラインを備えていないことにおいて相違する。この第2実施形態においては、図示のように、半導体基板20上に第1絶縁膜21、第2絶縁膜23、BPSG層24、TEOS層25、及び第3絶縁膜26が順次形成されている。これらの層のうち第3絶縁膜26からTEOS層25を通じてBPSG層24に至るトレンチ状のホールのビアホール27が形成されている。このビアホール27は前記TEOS層25の下側面から3000~15000Å程度の深さに形成するが、好ましくは10000Å程度の深さに形成する。そして、このビアホール27にタングステンからなる金属層ガードリング28が形成されており、そのガードリング28を十分に覆うように第3絶縁膜26の表面にエッチング工程から保護するためのダミー金属パターン29が形成されている。この第2実施形

態の半導体素子のガードリングは、集積回路の所定領域に第1実施形態に示すようなビットライン22が形成されておらず、あるいはビットライン22の形成範囲を外れているところでも集積回路を湿気の浸透（染み込み）から保護できるガードリングの構造である。

#### 【0016】

【発明の効果】本発明方法の半導体チップ及び特定パターンを保護可能なガードリングを形成する工程は、ビットライン上にビアホールを形成した後、ビアホール内にガードリングとして使う金属層ガードリングを形成し、その金属層ガードリングを覆うように絶縁膜の上にダミー金属パターンを形成するだけでガードリング形成工程を完了するため、製造工程が簡素化され、工程マージが多く、かつガードリング用のスペースを容易に確保できる。かつ、レイアウトの変更を最小化とすることができる。また、本発明方法によって得られる半導体素子は、ガードリング用に必要なスペースを小さくできるので、半導体素子の集積度を向上させることができる。トレンチ状のビアホールに金属層ガードリングが形成された場合、ビットライン等の金属層の上層でなくても、BPSG層とTEOS層との界面の下部に充分な深さにホールを形成してそのホール内に金属層ガードリングを形成するだけでよいので、ガードリングの形成工程が容易である。

#### 【図面の簡単な説明】

【図1】 従来の半導体素子のガードリングの形成工程を示す断面図。

【図2】 従来の半導体素子のガードリングの形成工程を示す断面図。

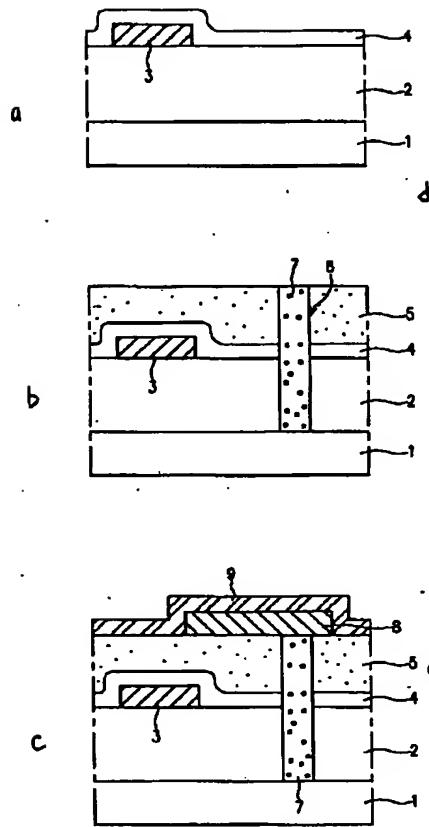
【図3】 本発明の第1実施形態の半導体素子のガードリングの形成工程を示す断面図。

【図4】 本発明の第2実施形態の半導体素子のガードリングの構造断面図。

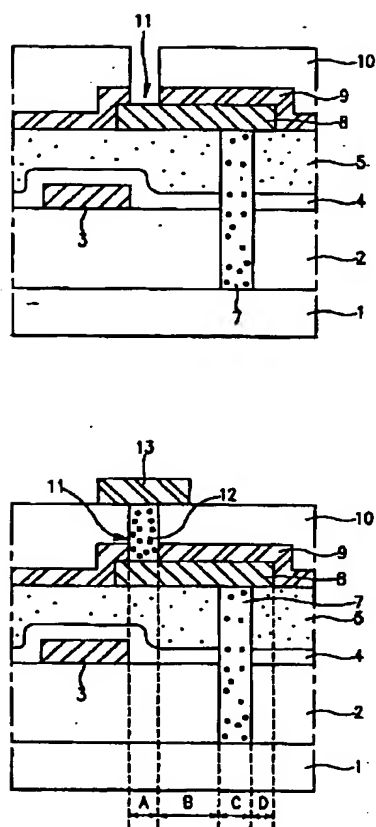
#### 【符号の説明】

20	半導体基板
21	第1絶縁膜
22	ビットライン
23	第2絶縁膜
24	BPSG層
25	TEOS層
26	第3絶縁膜
27	ビアホール
28	金属層ガードリング
29	ダミー金属パターン

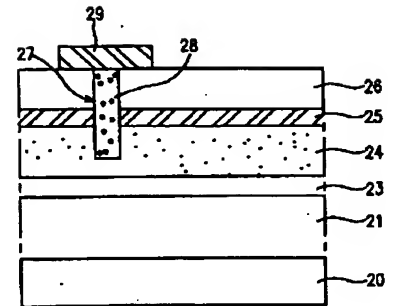
【図1】



【図2】



【図4】



【図3】

